

PARTIAL TRANSLATION OF JAPANESE UNEXAMINED PATENT
PUBLICATION (KOKAI) NO. 10-285591

Title of the Invention: Method and Device for Video Signal
Transmission

Publication Date: September 23, 1998

Application Number: 09-83997

Filing Date: April 2, 1997

Inventor: Onami Yuichi

Applicant: Hitachi Denshi Ltd

2. Detailed Description of the Invention

[0005] Then, vbv_delay control section inputs compressed data 44 and write signal 47 to take in a value of vbv_delay (vbv_delay is a name of a field included in a header part) which is added to the header part of the compressed data 44 indicating said picture separator and it starts reading out the compressed data from vbv_buffer 46 after delaying the generation of read signal 48 by the time indicated therein. Basically, it is implemented by gating clock 52 from compression decoder section 50 until starting the generation of the read signal 48 and after that outputting the clock signal 52 directly as the read signal 48. Further, this clock 52 from compression decoder section 50 is basically dependent on decoding processing status in compression decoder section 50 and it is a burst clock. Therefore, this vbv_buffer 46 has a reverse function from said FIFO memory 33. Compression decoder section 50 inputs compressed data 49 on clock 48 of the burst and decodes them to output as video signal 51.

3. Brief Description of the Drawings

Fig.2 shows a block diagram illustrating a constitutional example of a prior art.

28 --- video signal, 29 --- compression encoder section,
30 ---setting data, 31 --- compressed data, 32 --- clock,
33 --- FIFO memory, 34 --- compressed data, 35 --- read
signal, 36 --- sending interface section, 37 --- read
signal generating section, 38 - formatted data used for
transmission line , 39 --- transmission line, 40 --- data
from transmission line, 41 --- receiving interface, 42 ---
clock, 43 --- write signal generating section, 44 ---
compressed data, 45 --- CPU, 46 --- vbv_buffer, 47 ---
write signal, 48 --- read signal, 49 --- compressed data,
50 --- compression decoder section, 51 --- video signal, 52
--- clock, 53 --- vbv_delay control section

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-285591

(43)Date of publication of application : 23.10.1998

(51)Int.Cl.

H04N 7/24

H03M 7/30

(21)Application number : 09-083997

(71)Applicant : HITACHI DENSHI LTD

(22)Date of filing : 02.04.1997

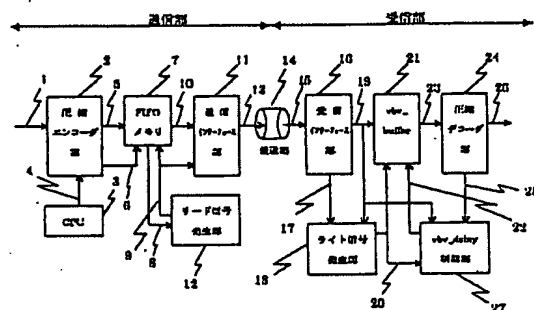
(72)Inventor : ONAMI YUICHI

(54) METHOD AND DEVICE FOR VIDEO SIGNAL TRANSMISSION

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce an initial storage time by a reception memory by transmitting data at a faster transmission rate than a compression bit rate to a receiver side without causing a failure in the reception of a stream at a receiver side compression decoder section.

SOLUTION: A read signal generating section 12 brings an FIFO memory 7 to a read state based on an empty flag 8. On the other hand, a write signal generating circuit 18 detects groups of pictures in compression data 19 based on a clock signal 17 to provide the output of a write signal 20. Furthermore, a vbv-delay control section 27 calculates an initial storage amount based on a value of vbv-delay in the case that the data are written in a vbv-buffer 21 at a compression rate indicated in a header. Then the vbv-delay control section 27 counts the write signal 20 and detects the data equivalent to the initial storage amount stored in the vbv- buffer 21 to provide an output of a read signal 22 and to start read of compression data 23 from the vbv- buffer 21 and decoder section 24 receiving the data 23 starts decoding the data 23.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-285591

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 N 7/24

H 0 4 N 7/13

Z

H 0 3 M 7/30

H 0 3 M 7/30

Z

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平9-83997

(22) 出願日 平成9年(1997)4月2日

(71) 出願人 000005429

日立電子株式会社

東京都千代田区神田和泉町1番地

(72) 発明者 大波 雄一

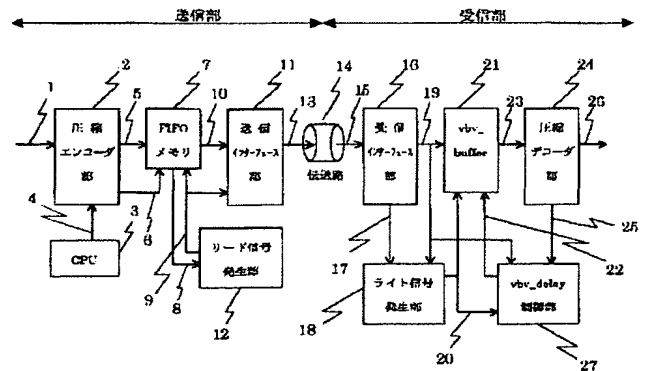
東京都小平市御幸町32番地 日立電子株式
会社小金井工場内

(54) 【発明の名称】 映像信号伝送方法およびその装置

(57) 【要約】

【課題】 システム全体の遅延時間の大半を占めるvbv_bufferでの遅延時間短縮を可能とし、従来適応が不可能であった双方向通信等のシステムへの適応が可能な映像信号伝送装置を提供するものである。

【解決手段】 映像信号を圧縮して伝送する場合、送信側では、所定圧縮ビットレートで圧縮符号化した圧縮データを、当該圧縮ビットレートにより送信側バッファメモリに書き込み、上記圧縮ビットレートより所定ビットレート早い速度で間欠的に読み出して伝送路に送出し、受信側では、上記伝送路から取り込んだ上記圧縮データを、上記圧縮ビットレートより所定ビットレート早い速度で受信側バッファメモリに間欠的に書き込み、該バッファメモリのデータ蓄積量が所定値となったことを検出した時点から上記圧縮ビットレートに対応する速度で読み出し、当該圧縮データの復号化処理を行うようにしたものである。



【特許請求の範囲】

【請求項1】 圧縮された映像信号を送送する場合、送信側では、所定圧縮ビットレートで圧縮符号化した圧縮データを、当該圧縮ビットレートにより送信側バッファメモリに書き込み、上記圧縮ビットレートより所定ビットレート早い速度で間欠的に読み出して伝送路に送出し、受信側では、上記伝送路から取り込んだ上記圧縮データを、上記圧縮ビットレートより所定ビットレート早い速度で受信側バッファメモリに間欠的に書き込み、当該バッファメモリのデータ蓄積量が所定値となったことを検出した時点から上記圧縮ビットレートに対応する速度で読み出し、当該圧縮データの復号化処理を行うことを特徴とする映像信号伝送方法。

【請求項2】 圧縮された映像信号を送送する映像信号伝送装置において、当該映像信号を所定のビットレートで圧縮する圧縮エンコーダ部と、上記所定のビットレートに対応するクロックによって上記圧縮データを一時的に蓄積するとともに当該蓄積状態がエンブティであるか否かを示すエンブティ信号を出力する送信側メモリと、上記エンブティ信号に応じて上記送信側メモリに蓄積されている圧縮データを上記ビットレートより所定ビットレート早い速度で間欠的に読み出すためのリード信号を発生するリード信号発生部と、上記送信側メモリ出力の圧縮データを上記ビットレートより所定ビットレート早い速度で間欠的に伝送路に送出する送信インターフェース部を有する送信部と、上記伝送路からの受信圧縮データと上記ビットレートより所定ビットレート早い速度のクロックを出力する受信インターフェース部と、当該受信圧縮データを上記クロックに対応するライト信号発生部からのライト信号によって一時的に蓄積する受信側メモリと、該受信側メモリのデータ蓄積量が所定値となったことを検出すると上記受信側メモリに蓄積されている圧縮データを上記ビットレートに対応する速度で読み出すためのリード信号を発生する受信側メモリ制御部と、上記受信側メモリから出力された圧縮データを復号して映像信号を出力する圧縮デコーダ部を有する受信部を備えたことを特徴とする映像信号伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、映像信号の伝送処理技術に係わり、特に、MPEG1、MPEG2(ISO/IEC 11172-2、ISO/IEC 13818-2)で圧縮された映像信号(ビデオストリームとも呼ぶ)を送送する方法に関する。

【0002】

【従来の技術】 近年、ATM(Asynchronous Transfer Mode)、デジタルFPU(Field Pick-up Unit)、デジタル衛星放送などのデジタル伝送路で、映像信号を送送する装置が急速に開発されている。そして、その多くは、MPEG1、2等の圧縮技術が利用されている。

映像信号を、MPEG1またはMPEG2で一定レートに圧縮し伝送する場合の従来技術の一例を図2に示し、簡単に動作説明をする。まず、イニシャル処理として、CPU45により、圧縮エンコーダ部29に、伝送路39の伝送レートを考慮した映像信号の平均圧縮ビットレート又は圧縮率(以下、単に、圧縮ビットレート又は圧縮率)を設定する。圧縮エンコーダ部29は、入力された映像信号28を、設定された圧縮ビットレートになるように圧縮する。そして、同時に圧縮エンコーダ部29は、圧縮データ31をクロック32により、送信側バッファメモリ(FIFOメモリ)33に書き込む。なお、この書き込みは、圧縮エンコーダ部29における圧縮処理状況に依存したバースト書き込みになる。

【0003】 ここで、リード信号発生部37は、前記圧縮データ31がFIFOメモリ33に所定量蓄積されたことを、入力したクロック32をカウントすることによって検出し、連続したリード信号35を発生して一定レートで読み出す。このレートは、前記CPU45が設定した圧縮ビットレートである。従って、FIFOメモリ33において、データ蓄積量のエンブティやオーバーフローが発生することはない。これにより、FIFOメモリ33から連続した一定レートの圧縮データ34を得ることができる。つまり、このFIFOメモリ33は、圧縮エンコーダ部29が出力するバーストデータ31を、連続した一定レートの圧縮データ34に変換する機能がある。次に、送信インターフェース部36は、上記の一定レートの圧縮データ34とリード信号35を入力し、圧縮データ34を伝送路39に対応したフォーマットのデータ38に変換して出力する。

【0004】 一方、受信インターフェース部41は、伝送路39からデータ40を入力し、伝送路用のフォーマットから逆変換して、一定レートの圧縮データ44として、ビデオ遅延時間制御情報(video buffering verifier delay : vbv_delay)用のバッファ(以下、vbv_bufferと記す)46と呼ばれる受信側バッファメモリに出力する(このvbv_bufferの名称は、MPEGの規格で定義されている)。この時、ライト信号発生部43は、圧縮データ44とそれに関係するクロック42を入力し、ビデオストリームである圧縮データ44内のピクチャの区切りを検出して、検出したピクチャの区切りから、vbv_buffer46に書き込みが可能のように、ライト信号47を発生する。

【0005】 次に、vbv_delay制御部53は、圧縮データ44とライト信号47を入力し、前記ピクチャの区切りを示す圧縮データ44のヘッダ部に付加されている、vbv_delayの値(vbv_delayは、ヘッダ部内に含まれているフィールドの名称)を取り込み、そこに示されている時間だけ、リード信号48の発生を遅延した後、vbv_buffer46からの圧縮データの読み出しを開始する。基本的には、圧縮デコーダ部50からのクロック52を、

リード信号48の発生開始までゲートし、その後はクロック52をそのままリード信号48として出力することで実現する。なお、この圧縮デコーダ部50からのクロック52は、基本的に圧縮デコーダ部50における復号処理状況に依存しており、バーストクロックである。従って、このvbv_buffer46は、前記FIFOメモリ33と逆の機能を有する。圧縮デコーダ部50は、vbv_buffer46からの圧縮データ49を前記バーストのクロック48で入力し、デコードして映像信号51として出力する。

【0006】ここで、図3により前述のvbv_buffer46での動作について詳細に説明する。この図3は、vbv_buffer46内のデータ蓄積量の変化の一例を示している。縦軸は蓄積量、横軸は時間である。なお横軸の目盛りは、映像信号のピクチャ表示間隔(または、フレーム周期:33.3ms)を一目盛りとしている。また、説明の都合上、圧縮レートは、6.7Mbpsと仮定する。まず、ライト信号発生部43が、ビデオストリームである圧縮データ44内のピクチャの区切りを検出し、検出したピクチャの区切りから、vbv_buffer46にデータの書き込みを開始した時点が、時間(-8)である。

【0007】次に、vbv_delay制御部53が、前記ピクチャの区切りを示すヘッダ部に付加されているvbv_delayの値(このvbv_delayは、各ピクチャ毎に付加されている)を取り込み、そこに示されている時間だけ遅延した後、vbv_buffer46へのリード信号48の発生を開始した時点が時間(0)である。つまり、ヘッダ部に付加されたvbv_delayの値が、時間(-8)~時間(0)の時間(266.4ms=33.3ms×8)である。この期間に、vbv_buffer46での蓄積量は、一定の勾配で増加していく。この勾配は、圧縮エンコーダ部29の圧縮ビットレート(6.7Mbit)に一致する。(その他の期間でも、蓄積量の増加は同様である)。このようにvbv_delay値は、圧縮デコーダ部50が処理を開始する前に、圧縮データをvbv_buffer46に蓄積するための時間で、その目的は、圧縮デコーダ部50のバースト読み出しに対し、vbv_buffer46がエンブティやオーバーフローを発生しないようにするものである。そのために、図3に示すように、vbv_buffer46のバッファ・サイズの最大値(例えば、1.8Mbit)付近まで、動作開始の初期に蓄積するのが一般的である。なお、vbv_bufferのバッファサイズの最大値は、ISO/IEC 11172-2, ISO/IEC 13818-2で規格化されている。

【0008】次に、時間(0)で圧縮デコーダ部50がバースト読み出しを開始するのだが、図3のグラフでは、極端な例として、一度に1ピクチャ分の符号量を各ピクチャ間隔毎に、読み出す場合を示している。つまり、時間(0)でピクチャ0、時間(1)でピクチャ1、時間(2)でピクチャ2、……、の符号量を一度に読み出す。(これは、ISO/IEC 11172-2, ISO/IE

C 13818-2で、詳細に記述されている)。以上のように、vbv_buffer46に圧縮データの書き込み、読み出しがなされ、その蓄積量の変化が図3ようになる。なお、図3に示すように各ピクチャごとに符号量に差があるのは、各ピクチャの圧縮モードに依存する。一般に、MPEGでは、Iピクチャ、Pピクチャ、Bピクチャという3種類のモードで圧縮されたピクチャが存在し、Iピクチャが他のPピクチャ、Bピクチャに比べ符号量が非常に大きい。ここで、図3の場合のビデオストリーム内のピクチャの構成を図4に示す。ピクチャ0がIピクチャで、後は、Bピクチャ、Bピクチャ、Pピクチャの順で繰り返し続き、ピクチャnで、またIピクチャとなる。そして、図3に示すように、通常、Iピクチャが、蓄積開始の最初のピクチャである。

【0009】

【発明が解決しようとする課題】以上のように、従来技術では、圧縮ビットレートに依存した書き込み速度で、vbv_bufferのバッファサイズの最大値近くまで、処理動作開始の初期に蓄積してから、デコード処理を開始するために、必ずこの初期蓄積時間が必要であった。図3では、説明の都合上、圧縮ビットレート6.7Mbpsとしたが、一般的なMPEGシステムでは、圧縮ビットレートは、4Mbpsである。従って、その蓄積時間は下記のように、約450msとなる。

$$(1.8 \times 1,000,000) \div 4 \times 1,000,000 = 450 \text{ ms}$$

ここで、(1.8×1,000,000)は、バッファサイズの最大値を示している。この時間は、図2の圧縮エンコーダ部29に、映像信号が入力されてから、圧縮デコーダ部50から映像信号が出力されるまでの遅延時間の大半を占める。そして、放送局の報道番組のように、離れた2地点間において、双方向通信でリアルタイムに掛け合いをする場合には、この遅延時間が致命的になる。つまり、この遅延時間のため、スムーズな会話が実現出来ない。また、一方向の通信であっても、受信した映像信号により何らかの操作を行うようなシステム(遠隔操作システム)でも、当然の事ながら、この遅延時間が問題になる。本発明は、上記の問題に鑑み、システム全体の遅延時間の大半を占める、vbv_bufferでの遅延時間短縮を可能とし、従来適応が不可能であった双方向通信などのシステムへの適応が可能な映像信号伝送装置を提供するものである。

【0010】

【課題を解決するための手段】本発明は上記目的を達成するため、圧縮された映像信号を伝送する場合、送信側では、所定圧縮ビットレートで圧縮符号化した圧縮データを、当該圧縮ビットレートにより送信側バッファメモリに書き込み、上記圧縮ビットレートより所定ビットレート早い速度で間欠的に読み出して伝送路に送出し、受信側では、上記伝送路から取り込んだ上記圧縮データを、上記圧縮ビットレートより所定ビットレート早い速

度で受信側バッファメモリに間欠的に書き込み、該バッファメモリのデータ蓄積量が所定値となったことを検出した時点から上記圧縮ビットレートに対応する速度で読み出し、当該圧縮データの復号化処理を行うようにしたものである。

【0011】また、映像信号を圧縮し伝送する映像信号伝送装置において、当該映像信号を所定のビットレートで圧縮する圧縮エンコーダ部と、上記所定のビットレートに対応するクロックによって上記圧縮データを一時的に蓄積するとともに当該蓄積状態がエンプティであるか否かを示すエンプティ信号を出力する送信側メモリと、上記エンプティ信号に応じて上記送信側メモリに蓄積されている圧縮データを上記ビットレートより所定ビットレート早い速度で間欠的に読み出すためのリード信号を発生するリード信号発生部と、上記送信側メモリ出力の圧縮データを上記ビットレートより所定ビットレート早い速度で間欠的に伝送路に送出する送信インターフェース部を有する送信部と、上記伝送路からの受信圧縮データと上記ビットレートより所定ビットレート早い速度のクロックを出力する受信インターフェース部と、当該受信圧縮データを上記クロックに対応するライト信号発生部からのライト信号によって一時的に蓄積する受信側メモリと、該受信側メモリのデータ蓄積量が所定値となったことを検出すると上記受信側メモリに蓄積されている圧縮データを上記ビットレートに対応する速度で読み出すためのリード信号を発生する受信側メモリ制御部と、上記受信側メモリから出力された圧縮データを復号して映像信号を出力する圧縮デコーダ部を有する受信部を備えた構成としたものである。

【0012】本発明は上記した構成により、受信側圧縮デコーダ部におけるストリーム入力に破綻をきたすことなく、圧縮ビットレートより早いスピードでデータを受信側に伝送することを可能とし、従来問題となっていた、受信側メモリ(vbv_buffer)に対する初期蓄積時間を短縮し、双方向通信やリモート制御システムへの適用を可能とする。このために、送信側では、圧縮ビットレートより早いスピードで送信インターフェース部にデータを転送する必要がある。従って、送信側メモリ(FIFOメモリ)は一時的にエンプティが発生する。そこで、送信側のリード信号発生部は、そのFIFOメモリのエンプティ信号(フラグ)を監視し、エンプティの時はFIFOメモリの読み出しを止めるという制御をする。

【0013】一方、受信側では、圧縮ビットレートより速いスピードでvbv_bufferに書き込みが行われるため、ピクチャの区切りのヘッダに付加されているvbv_delayの値は意味をなさなくなる。そこで、受信側メモリ制御部(vbv_delay制御部)は、vbv_delay値と同様にし、ビデオストリームのヘッダ内に記述されている圧縮レートの値を読み込み、この値とvbv_delay値から、本来、vbv_bufferで必要とする蓄積量を算出する。そし

て、受信側のライト信号発生部からのライト信号をカウントし、vbv_bufferの蓄積量を監視し、前記算出された蓄積量になった時点から、vbv_bufferの読み出しを開始するように制御する。これにより、圧縮ビットレートより早いスピードで、データを受信側に伝送しても、受信側のvbv_bufferから圧縮デコーダ部に、ビデオストリームの連続性を崩さずにビデオストリームを転送することができ、従来問題となっていた、vbv_bufferに対する初期蓄積時間を大幅に短縮することが可能となる。

10 【0014】

【発明の実施の形態】以下、本発明の一実施例を図1により説明する。図1は、送信部、受信部、及び伝送路14からなる構成を示している。送信部は、入力映像信号1を、所定の圧縮ビットレートで圧縮し、圧縮データ5とその圧縮データ5に関係するクロック6を出力する圧縮エンコーダ部2と、該圧縮エンコーダ部2の圧縮ビットレートを設定するための設定データ4を発生するCPU3と、クロック6により当該圧縮データ5を一時的に蓄積し、該蓄積状態がエンプティである場合にエンプティフラグ8を出力可能なFIFOメモリ7と、このエンプティフラグ8に基づきFIFOメモリ7にリード信号9を発生するリード信号発生部12と、FIFOメモリ7からの出力データ10とリード信号発生部12からのリード信号9を入力とし、伝送路用のフォーマットに変換したデータ13を伝送路14に出力する送信インターフェース部11からなる。

【0015】一方、受信部は、伝送路14からのデータ15に対し送信インターフェース部11と逆の変換をし、圧縮データ19とその圧縮データ19に関係するクロック17を出力する受信インターフェース部16と、その圧縮データ19とクロック17を入力とし、vbv_buffer21へのライト信号20を発生するライト信号発生部18と、受信インターフェース部16からの圧縮データ19とライト信号発生部18からのライト信号20によって圧縮データ19を蓄積するvbv_buffer21と、そのvbv_buffer21からの圧縮データ23を入力し復号して映像信号26を出力する圧縮デコーダ部24と、この圧縮デコーダ部24からのクロック25とライト信号発生部18からのライト信号20と受信インターフェース部16からの圧縮データ19とに基づいて、vbv_buffer21へのリード信号22を発生するvbv_delay制御部27からなる。

【0016】次に、図1の実施例の動作について説明する。説明の都合上、伝送路14の伝送容量は、26.8Mbps、圧縮レートは、6.7Mbpsと仮定する。なおこの26.8Mbpsは、例えばATMで帯域確保をした場合などに相当する。まず、イニシャル処理として、CPU3からの設定データ4により、圧縮エンコーダ部2における圧縮レートを、6.7Mbpsに設定する。圧縮エンコーダ部2は、入力された映像信号1

を、設定された6.7Mbpsに圧縮し、当該圧縮データ5とそのクロック6を出力する。この時、出力される圧縮データ5のビデオストリームの内容は、図4に示すものと同様とする。次に、リード信号発生部12は、エンブティフラグ8に基づき、FIFOメモリ7にデータ書き込みが開始されたのを検出すると、FIFOメモリ7にリード信号9を発生し、FIFOメモリ7を読み出し状態とする。この時の読み出しスピードは、26.8Mbpsとする。そして、FIFOメモリ7から読み出された圧縮データ10は、リード信号9とともに、送信インターフェース部11に入力される。送信インターフェース部11では、この圧縮データ10を、伝送路14の伝送フォーマットに合わせて変換し、データ13として出力する。

【0017】ここで、FIFOメモリ7に入力するデータの圧縮レートが、6.7Mbpsに対し、FIFOメモリ7の読み出しスピードが26.8Mbpsであるため、FIFOメモリ7において、間欠的にデータのエンブティが発生する。この点についてもう少し詳しく説明をする。一般に、FIFOメモリ7に書き込まれるデータは、図4で示したのと同様に最初のピクチャはIピクチャであり、その符号量は他のピクチャより非常に多くvbv_bufferサイズに近い量となる。従って、FIFOメモリ7には、始めに1ピクチャ分の時間で、多くのデータ量をもつIピクチャが、高速に書き込まれることになり、26.8Mbpsでの読み出しに対しても、しばらくはエンブティならない。そして、その後のP、Bピクチャでは、Iピクチャに比べて、符号量が少ないため、やがてFIFOメモリ7はエンブティになる。つまり、FIFOメモリ7では、間欠的にエンブティが発生する。

【0018】そこで、この時FIFOメモリ7から発生するエンブティフラグ8に基づき、リード信号発生部12は、エンブティの時にはFIFOメモリ7のデータを読み出さないように、リード信号9をインアクティブにし、またデータが書き込まれエンブティでなくなったら、26.8Mbpsのスピードで、エンブティになる*

$$266.4 \div 1,000 \times 6.7 \times 1,000,000 = 1.7 \text{ (Mbit)} \quad \dots\dots\dots (1)$$

つまり、一般的に示せば、vbv_delay 制御部27では、

$$\text{初期蓄積量} = \text{vbv_delayの値} \times \text{圧縮ビットレート} \quad \dots\dots\dots (2)$$

そこで、vbv_delay 制御部27は、ライト信号20をカウントし、vbv_buffer 21に、1.7Mbitのデータが蓄積されるのを検出した後、リード信号22を出力して、vbv_buffer 21内の圧縮データ23の読み出しを開始する。そして、その圧縮データ23が入力された圧縮デコーダ部24は、デコードを開始し、映像信号26を出力する。

【0021】以上が本発明の全体の動作であるが、vbv_buffer 21の動作について、図5を用いて、より詳細に説明する。なお、図5は、図3と同様のスケールであ

*まで、データの読み出しをするように、リード信号9をアクティブにする。次に、送信インターフェース部11は、該リード信号9を入力しているため、FIFOメモリ7から間欠的に読み出された、有効なデータだけを、伝送路14の伝送フォーマットに合わせて変換し、26.8Mbpsの伝送レートで、圧縮データを伝送することが可能である。

【0019】そして、受信インタフェース部16は、伝送路14からデータ15を入力し、送信インタフェース部11の逆変換をし、有効なデータだけを、vbv_buffer 21とライト信号発生部18に、圧縮データ19として出力する。同時に受信インターフェース部16は、この有効なデータ部分だけアクティブとなるようなクロック17を、ライト信号発生部18に出力する。ライト信号発生部18は、これらクロック17と圧縮データ19から、ビデオストリームである圧縮データ19内のピクチャの区切りを検出し、その部分からvbv_buffer 21に圧縮データ19が書き込まれるよう、対応するライト信号20を出力する。つまり、このライト信号20は、クロック17のアクティブ部分をゲートした信号で、ピクチャの区切りが検出された後は、ゲートが解除され、クロック17がそのまま、ライト信号20となる。これにより、vbv_buffer 21には、最高26.8Mbpsの書き込みスピードで、間欠的に圧縮データ19の書き込みが行われる。

【0020】一方、vbv_delay 制御部27は、上記ライト信号20と圧縮データ19から、ビデオストリームである圧縮データ19内の該当するピクチャの区切りに対応したvbv_delay の値と、ヘッダ内に記述されている圧縮レートの値を読み込む。ここで、vbv_delay 制御部27は、ヘッダ内に記述されている圧縮レートの値(ここでは、6.7Mbps)で、vbv_buffer 21に書き込まれたとした場合の、vbv_delay の値による初期蓄積量を算出する。ここでは、vbv_delay の値は、前述と同じく、266.4msであるとする。すると、下記式1に示すように、1.7Mbitの初期蓄積量になる。

$$\text{下記式2に示すような算出をする。}$$

る。まず、図3と同様に、時間(-8)で、vbv_buffer 21に圧縮データの書き込みを開始したとする。ここでは、上記のように、圧縮ビットレート6.7Mbpsに対し4倍の速度の26.8Mbpsで書き込みが行われるため、vbv_delay の値266.4msの1/4の時間に相当する66.6msで、初期蓄積量である1.7Mbitに達する。従って、vbv_buffer 21からの読み出しは、時間(-6)から開始可能となる。ここで、前述のように、送信部のFIFOメモリ7は、Iピクチャに続く、P、Bピクチャ部分で、間欠的にエンブティになる

ため、対応する圧縮データ19はvbv_buffer 21に間欠的に書き込みが行われる。従って、その部分を平均すると、上記の26.8Mbpsより、当然、低速な書き込み速度になる。つまり、図5では各ピクチャ表示間隔毎の書き込み速度を平均化して表示しているため、この所定の時間経過後の書き込み速度の傾きは、26.8Mbpsの傾きより下がり、その下がり方は送信部のFIFOメモリ7におけるエンプティの発生状況に依存することになる。なお、vbv_buffer 21におけるデータ読み出しのバースト性については、図5に示したように従来と同様である。

【0022】但し、前述のように、伝送路14での圧縮データの転送は、圧縮ビットレート6.7Mbpsに対し、最高26.8Mbpsのバースト転送をしていることになるため、従来では、送信部のFIFOメモリ7にてバッファされていたデータが、受信部のvbv_buffer 21にてバッファされることになる。このため、図3と図5では、対応するピクチャの読み出し時点における蓄積量は、常に、従来の図3よりも図5の方が多くなっている。従って、vbv_buffer 21では、オーバーフローが発生する心配がある。しかし、FIFOメモリ7の容量とvbv_buffer 21の容量は、おおよそ等しいため、従来の2倍のvbv_bufferサイズを、vbv_buffer 21として確保しておけば、この点における技術的な問題は解決可能である。以上説明したように、本実施例では、図3に示した場合に比べて、vbv_buffer 21における初期蓄積時間

を、266.4msから、この1/4の66.6msに短縮できる。さらに、本実施例では、説明の都合上、圧縮ビットレートを6.7Mbpsとしているが、一般に使用されている4Mbpsに適応すれば、さらにvbv_buffer 21における初期蓄積時間の短縮比率を多くすることができる。

【0023】

【発明の効果】本発明によれば、映像信号伝送装置による遅延時間の大半を占めるvbv_bufferにおける初期蓄積時間の時間短縮を可能とし、従来適応が不可能であった双方向通信システムや遠隔制御システムへの適応が可能となる符号化伝送装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図

【図2】従来技術の一構成例を示すブロック図

【図3】図2のvbv_buffer 46での蓄積量の変化を説明する図

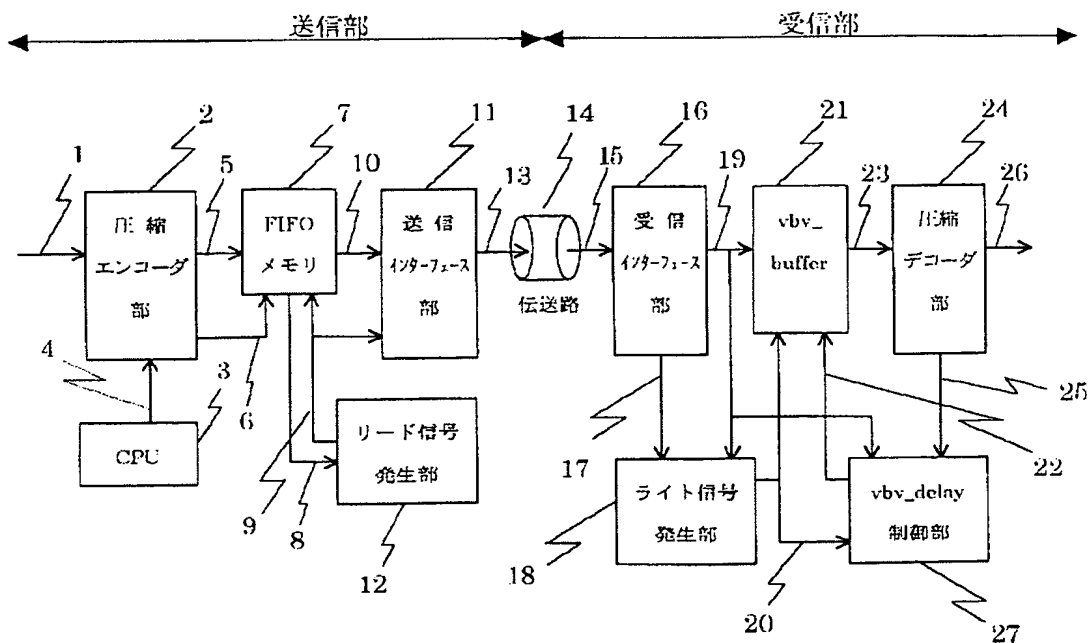
【図4】ビデオオストリーム内のピクチャ構成を示す模式図

【図5】本発明のvbv_buffer 21での蓄積量の変化を説明する図

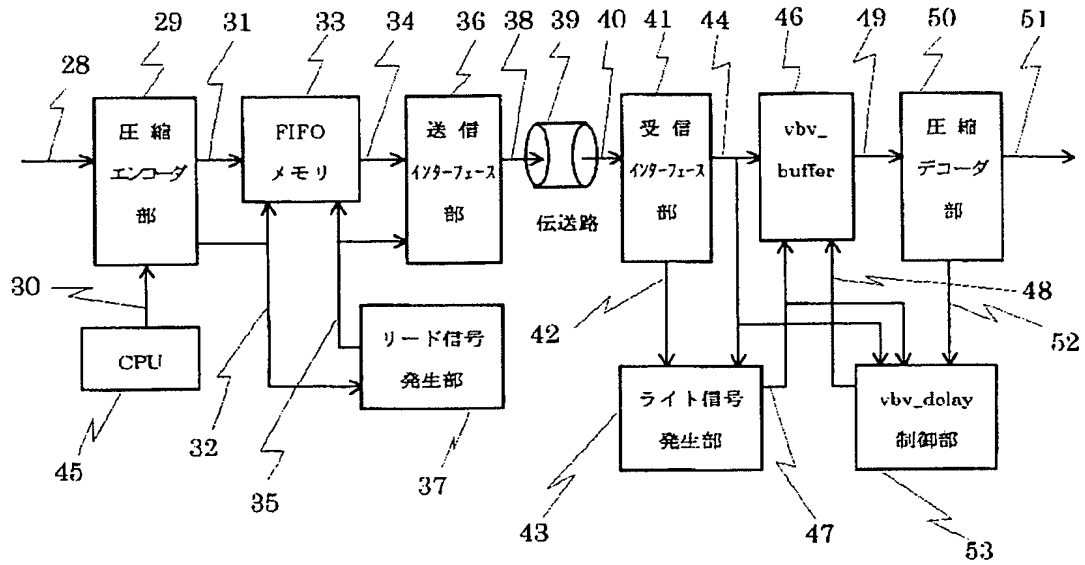
【符号の説明】

1：圧縮エンコーダ部、7：FIFOメモリ、12：リード信号発生部、21：vbv_buffer、27：vbv_delay制御部。

【図1】

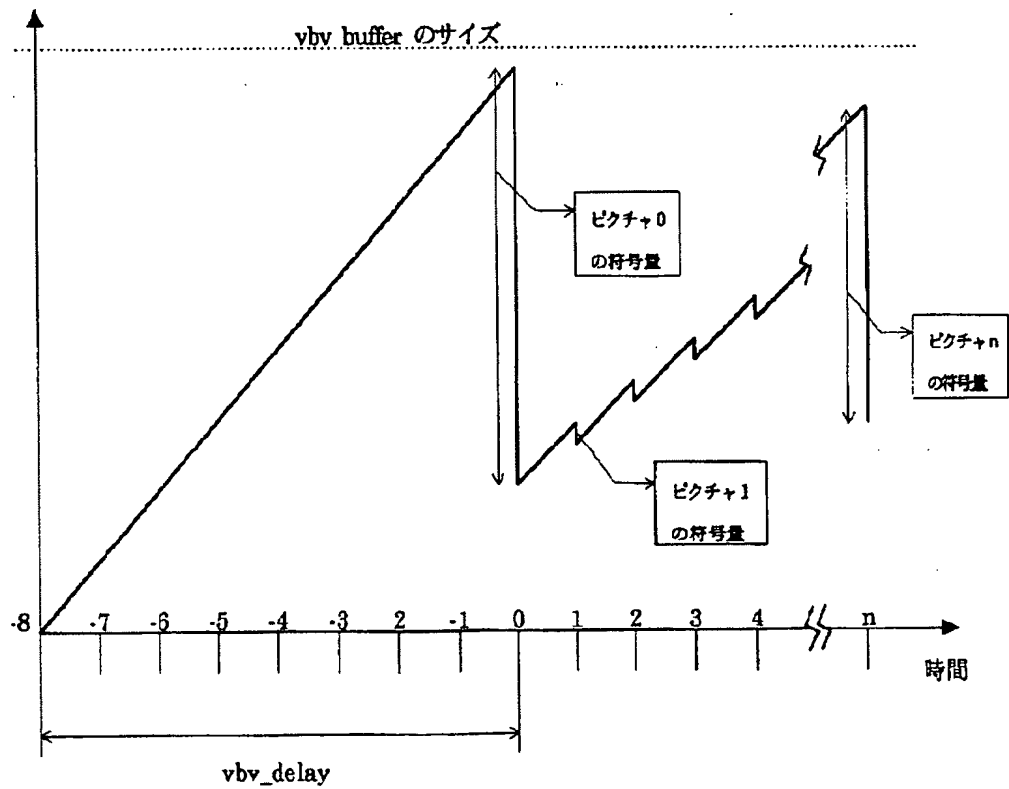


【図2】



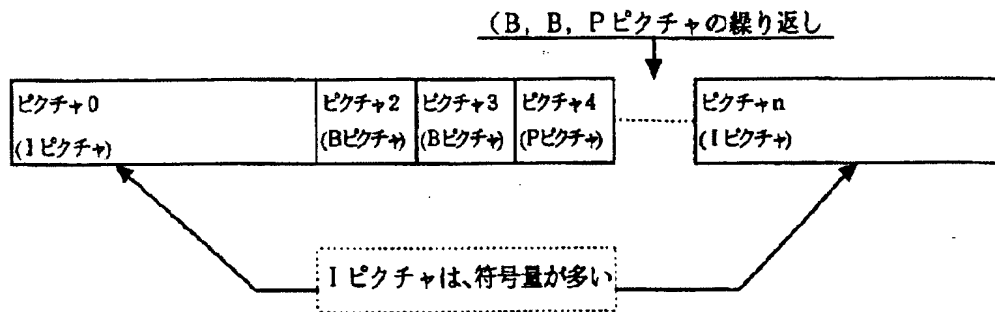
【図3】

バッファ蓄積量



【図4】

ビデオストリーム内のピクチャ構成



【図5】

バッファ蓄積量

